

Proposta Call GRV - SyncFEL Advanced pixel detectors for hard X-rays at Synchrotron light and FEL sources

Pisa: Attivita'/Manpower/Richieste

SyncFEL - June 30th -2016



G. Rizzo

G. Rizzo - Universita' & INFN Pisa



Attivita' a Pisa sui 3 anni (I)

2017

- Collaborazione alla definizione delle specifiche dello strumento (readout chip & modulo multichip)
- Partecipazione ai test dei chip con front-end analogico
- Partecipazione al progetto del readout digitale del chip di grandi dimensioni (32x32)

2018

- Partecipazione al design del readout digitale del chip 32x32
- Progetto e realizzazione delle schede di test per il singolo chip 32x32 (evoluzione di schede di PixFEL)
- Sistema di DAQ per test in lab e su fascio del singolo chip (evoluzione di schede DAQ di PixFEL)
- Integrazione chip + sensore

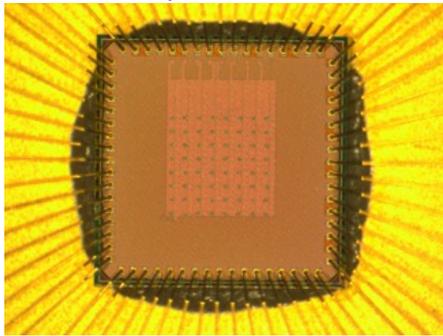
Attivita' a Pisa sui 3 anni (II)

2019

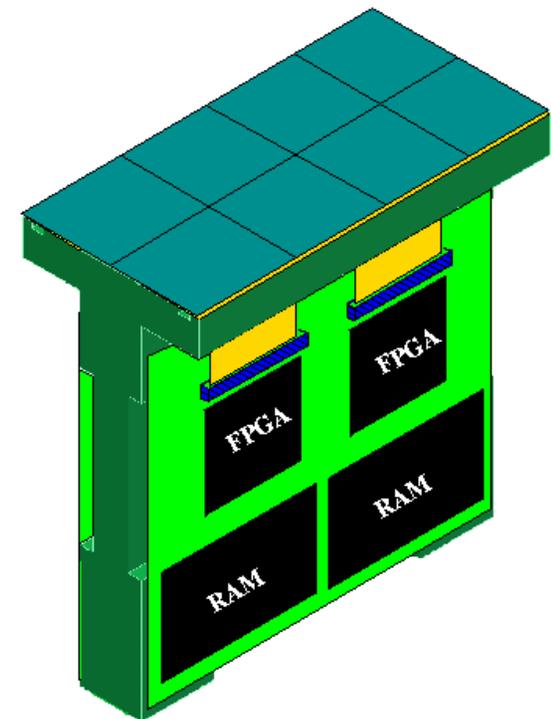
- Caratterizzazione in lab chip, assembly chip+ sensore
- Partecipazione al test su fascio (sincrotroni) del singolo chip + sensore
- Partecipazione al progetto per integrazione modulo multichip (da definire meglio lo sviluppo temporale dell'attivita' probabile inizio al 2018):
 - Design ibrido multichip
 - Integrazione modulo multichip = sensore + chip
 - DAQ
 - Cooling
 - ???
- Test del dimostratore finale con DAQ finale in lab + fascio

Alcuni dei deliverables

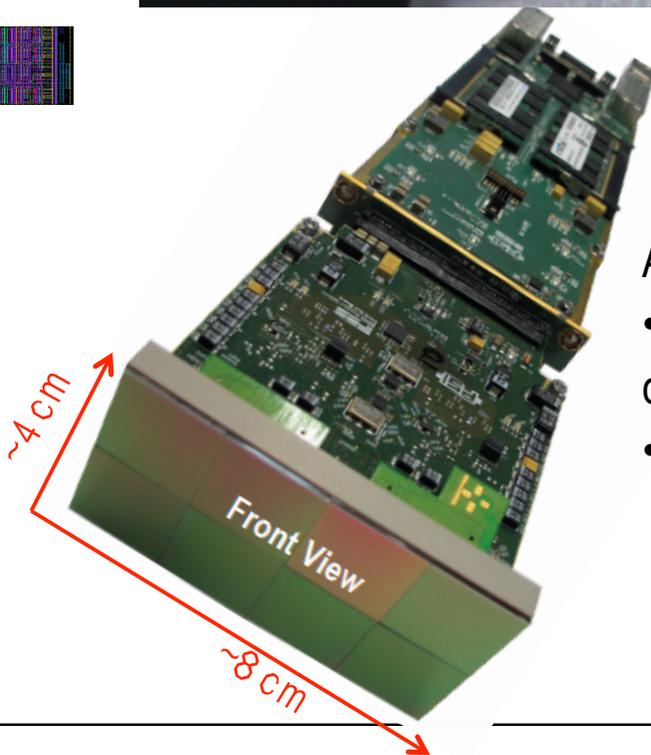
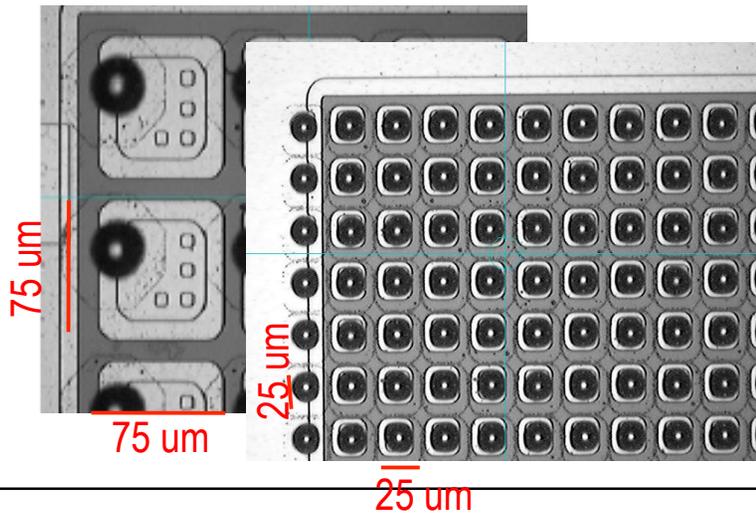
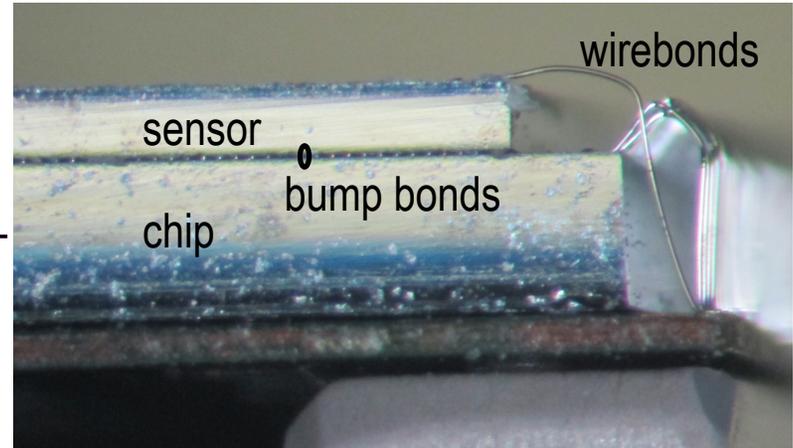
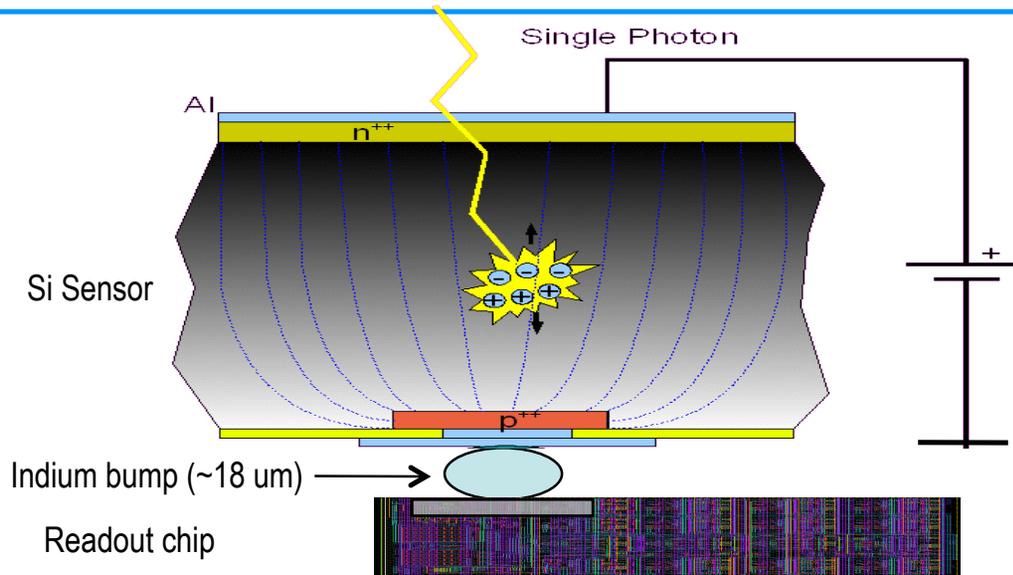
1. Test of single chip (32x32) with sensor
 - Testboard and DAQ for single chip evolution of PixFEL work



2. Dimostratore finale:
 - Multichip Module (sensor + 2x4 (more) chips)
 - + Hybrid board
 - + cooling ...
 - + DAQ Readout



Hybrid pixel detectors



- EIGER
- A module:
- many (8) chips
 - 1 sensor

Manpower

| NOME | Qualifica | Percentuale CALL (TBC) |
|------------------------------|------------|------------------------|
| Bettarini | RU | 30% |
| Casarosa | Assegnista | 20% |
| Forti | PO | 30% |
| Paladino | Assegnista | 30% |
| Rizzo | PA | 50% |
| Morsani | Tecnologo | 40% |
| Minuti | CTER | |
| PERSONALE FULL TIME EQUIVALE | | 2.00 |

Richieste Finanziarie

| | 2017 | | 2018 | | 2019 | | TOT |
|-----------|--|-----------|--|-----------|--|-----------|--------|
| | | Richieste | | Richieste | | Richieste | |
| Missioni | contatti con facilities | 2000 | contatti con facilities | 1000 | | | |
| | | | | | partecipazione a test beam | 6000 | |
| | riunioni di collaborazione | 1000 | riunioni di collaborazione | 1000 | trasporto materiale | 2000 | |
| | | | test congiunti | 1000 | test congiunti | 2000 | |
| | TOTALE | 3000 | TOTALE | 3000 | TOTALE | 10000 | 16000 |
| Consumo | materiale per schede di test (PCB+carriers+componenti) | 5000 | materiale per schede di test per prototipo 32x32 (per test in lab + futuro test su fascio) (PCB+carriers+componenti) | 5000 | Interconnessione modulo multichip con bump bonding a IZM (costi indicativi per 8 moduli) da confermare | 50000 | |
| | | | Interconnessione chip e sensore con bump bonding a IZM: preparazione 2 wafer sensori (9kE) + 10 chip RO (23kE) | 32000 | Scheda di test (ibrido) per modulo multichip (da confermare) | 10000 | |
| | | | schede per acquisizione singolo chip (FPGA+1Gbit Ethernet + connectors + LVDS, PCB, Assembly) | 4000 | Costi sviluppo/utilizzo schede DAQ CAEN (da confermare) | 10000 | |
| | | | | | meccanica/cooling per test su fascio | 3000 | |
| | | | | | shipping box per trasporti | 1000 | |
| | | | | | | | |
| | TOTALE | 5000 | TOTALE | 41000 | TOTALE | 74000 | 120000 |
| Personale | 1 persona per 1 anno | 28000 | 1 persona per 1 anno (cofinanziata?) | 28000 | | | |
| | TOT 2017 | 36000 | TOT 2018 | 72000 | TOT 2019 | 84000 | 192000 |

backup

PixFEL target specifications

Single tile (2014-2016)

- Pitch: $100 \times 100 \mu\text{m}^2$
- Tiling “without” dead area
 - active edge sensors ~ 2% dead area
 - low density TSV to connect I/O chip PAD to hybrid board
- Single photon counting & Wide dynamic range, $1-10^4$ photons (1-10 keV)
 - Preamplifier with dynamic signal compression
- A/D conversion in 200 ns (Eu-XFEL)
 - Successive approximation 10 bit ADC (SAR ADC)
- Memory: 1k frame depth
- Readout:
 - Burst mode: Eu-XFEL 4.5 MHz frame rate, 1% duty cycle
 - Continuous mode: 15 kHz frame rate or better?

System (>2016, still to be optimized)

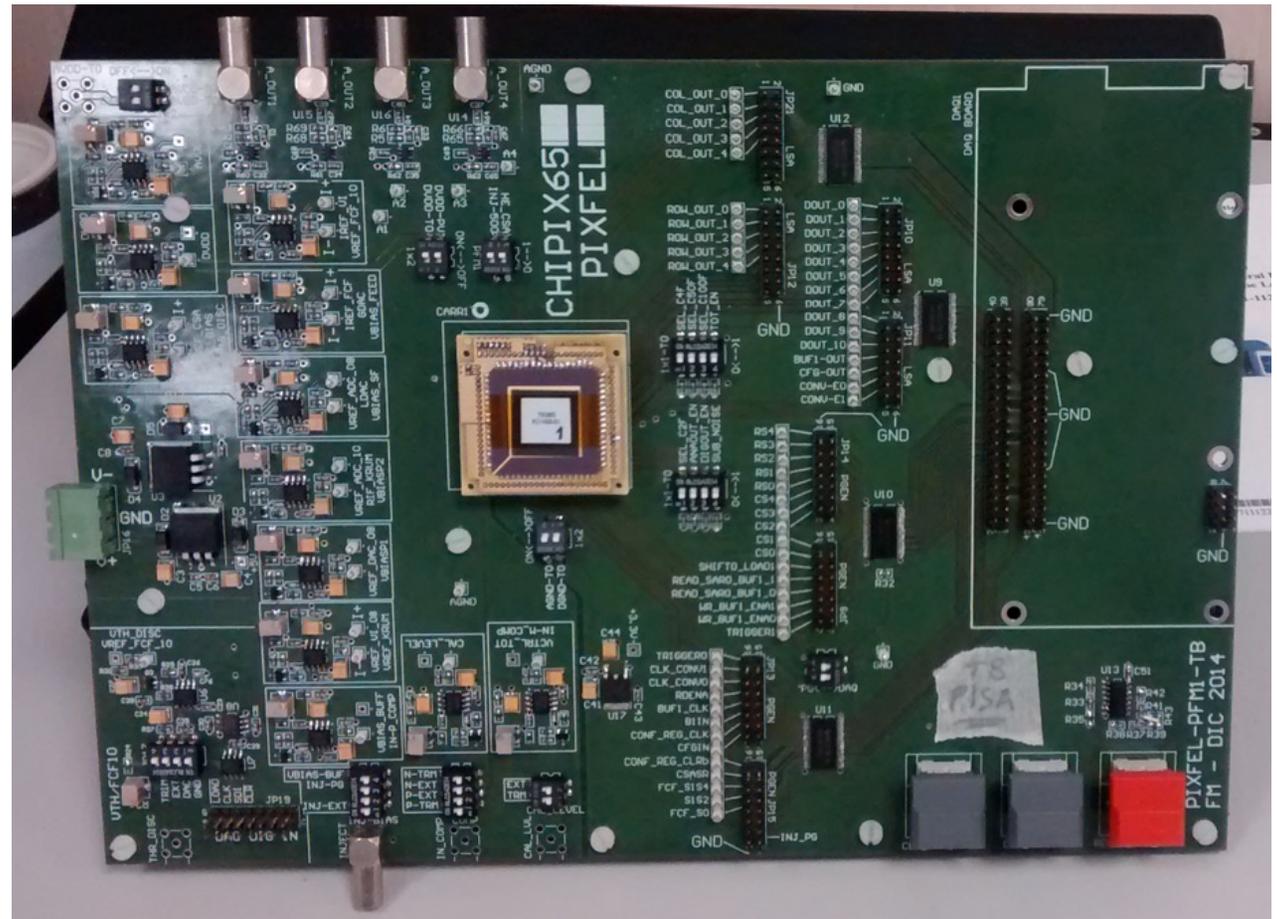
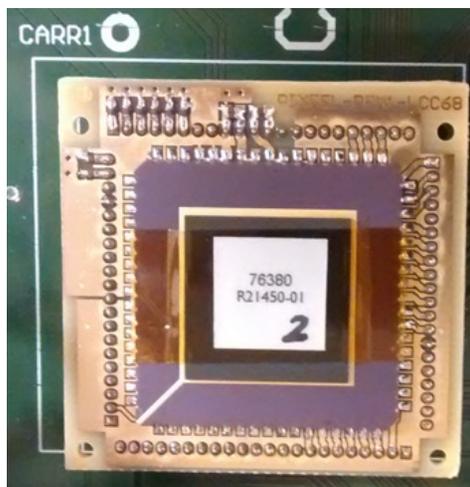
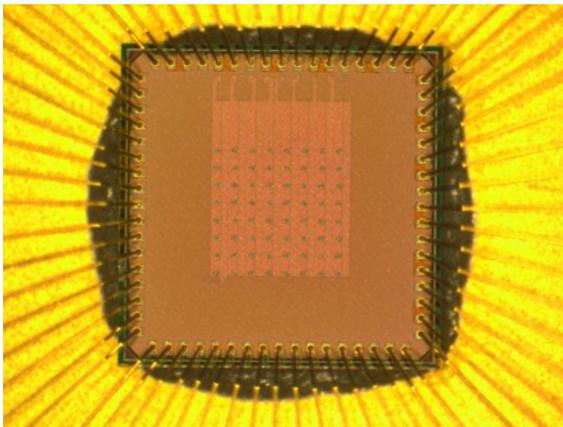
- Tot. area $\sim 20 \times 20 \text{ cm}^2$
- Chip 64×64 pixel, ladder=sensor= $2.56 \times 5.12 \text{ cm}^2$, 4x8 chips/ladder
- Bandwidth: 0.6 Gb/s/chip & 20 Gb/s/ladder

Time, complexity

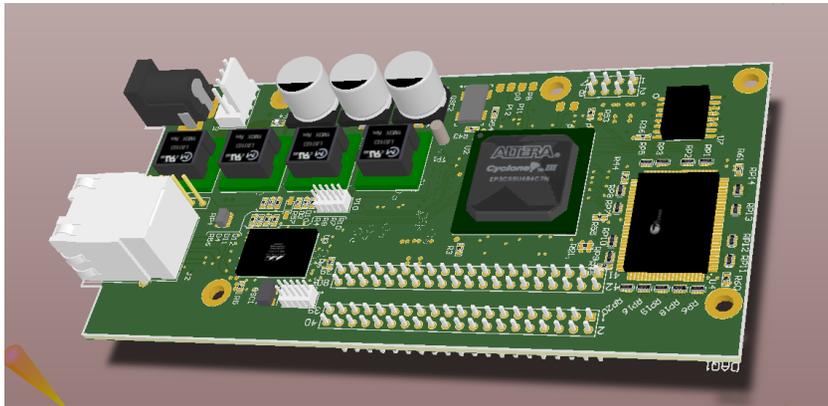
Not covered in presentation

Test board (PI)

- Realizzate le schede di test dei chip PixFEL da Morsani ed esportate nei vari lab (Pisa PV/BG TO-CHIPX65) per I test dei vari chips
 - Progetto usato in sinergia anche per schede per CHIPIX65

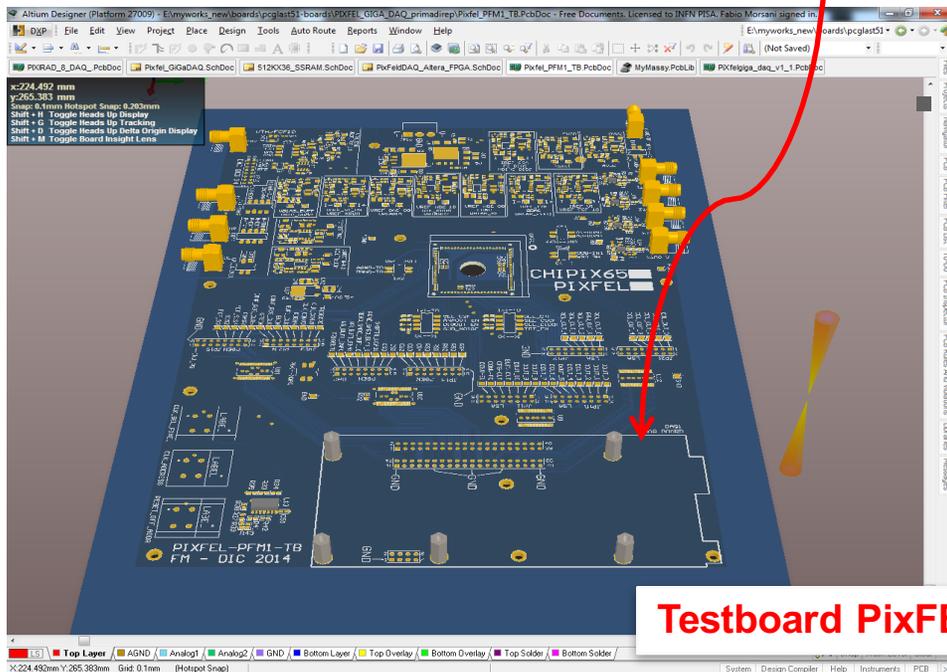


GiGa DAQ a general purpose FPGA based DAQ Board (PI)



- Schede di DAQ realizzate in passato da INFN-Pisa (Minuti) per l'acquisizione dati da sensori per Imaging digitale
- Possibile riadattare GiGa DAQ per lo schede di test PixFEL (CHIPIX65) per sostituire il Pattern Generator ed il Logic State Analyzer.

Sistema DAQ portatile per test su fascio !



| | |
|--------------|---------------------------|
| Dimensions: | 6 cm X 12.5 cm |
| Supply: | 12V 1.5A |
| Board Clock: | 125MHz TTL |
| Interfaces: | 1Gb Ethernet |
| FPGA Device: | Altera EP3C55 |
| Memories: | 64Mbit FLASH 2MB SSRAM |
| GPIO: | 60 X 3p3V TTL IOs |