

SyncFEL

Advanced pixel detectors for hard X-rays at Synchrotron light and FEL sources

Lodovico Ratti (responsabile nazionale)
Università di Pavia and INFN Pavia
(lodovico.ratti@unipv.it)

Massimo Manghisoni (responsabile locale)
Università di Bergamo and INFN Pavia
(massimo.manghisoni@unipv.it)

INFN Pavia, Consiglio di Sezione, 4 luglio 2016

Profilo della proposta progettuale

- SyncFEL è una proposta progettuale "Call" con il seguente duplice obiettivo
 - sviluppare un rivelatore per applicazioni ai laser a elettroni liberi ed alle sorgenti di luce di sincrotrone basati su un rivelatore a pixel slim edge e su un front-end (a singolo strato) in tecnologia CMOS 65 nm
 - esplorare le possibilità offerte dalle tecnologie di integrazione verticale per la realizzazione di un front-end a doppio strato → possibili vantaggi in termini di densità funzionale e di area morta su sensori di grande area
- Il prodotto finale del progetto sarà un dimostratore costituito da un front-end elettronico interconnesso con un sensore slim edge e back-end di acquisizione dati da collaudare su un esperimento reale su una linea di fascio presso una sorgente di luce di sincrotrone
- Durata: 3 anni

Personale impegnato a Pavia

NOME e COGNOME	Qualifica	Percentuale
Gianluca Traversi	RU	20%
Massimo Manghisoni (responsabile locale)	RU	30%
Lodovico Ratti (responsabile nazionale)	PA	50%
Valerio Re	PO	10%
Luca Lodola	Dottorando	80%
Piero Malcovati	PA	20%
Marco Grassi	Post-doc	20%
Marco Musacci	Dottorando	30%
Paolo Ghigna	PA	30%
Alessandro Cabrini	RTD	20%
PERSONALE FULL TIME EQUIVALENT		3.1

Personale impegnato nelle altre sedi

SEDE	FTE	Personale
INFN-PD	1.5	Vogrig (resp loc), Gerardin, Paccagnella, Neviani, Wyss - 9 MU tecnico elettronico, 2 MU CAD elettronico, 2 MU montaggio componenti su 3 anni
INFN-PI	2	Rizzo (resp loc), Bettarini, Casarosa, Forti, Paladino, Morsani, Minuti
TIFPA	2.35	Pancheri (resp loc), Dalla Betta, Macii, Ficorella, Xu, Verzellesi, personale FBK
INFN TO	~1.5	Demaria (resp loc), Rolo, Pacher, Truccato, Lamberti, Vittone
INFN MIB	?	
INFN PG	?	

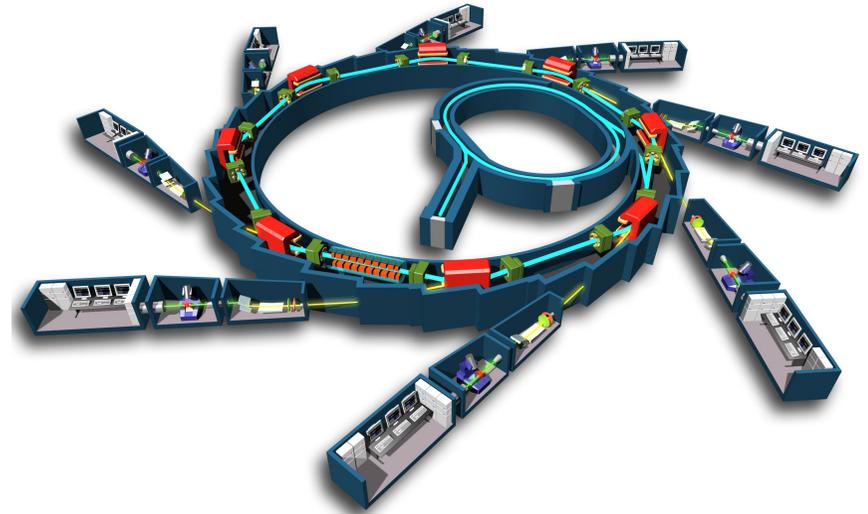
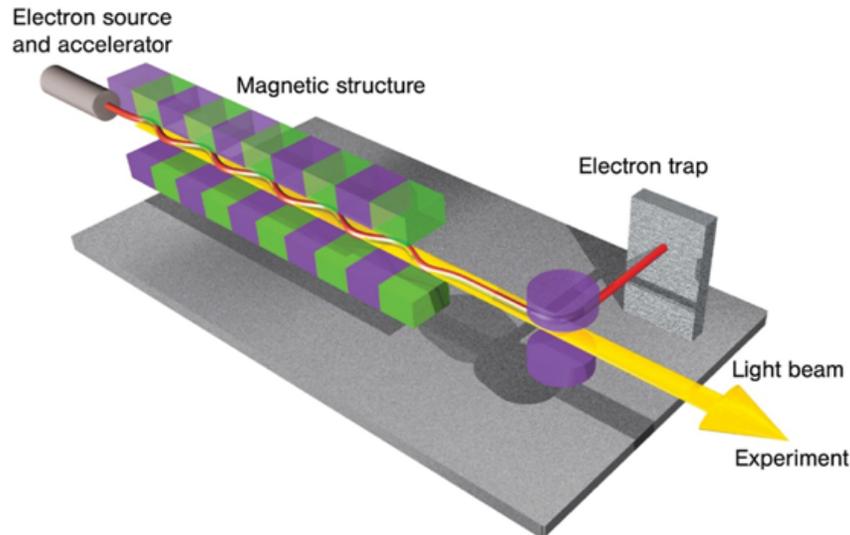
- Totale personale impegnato > 10 FTE
- Posizione di INFN MIB e PG ancora da definire

Enti esterni interessati al progetto

- Interesse per il progetto già manifestato da alcune compagnie private e centri di ricerca
 - **CAEN**: interesse per lo sviluppo del sistema di acquisizione dati - quello delle luci di sincrotrone è un campo inesplorato per CAEN, a cui la compagnia potrebbe estendere le sue competenze partendo da quelle già consolidate nel settore della strumentazione per fisica nucleare e delle particelle
 - **CAENels**: spin-off sloveno di CAEN, con esperienza in settori legati alle sorgenti di luce di sincrotrone - collaborazioni con Elettra a Trieste
 - **Red Cat Devices**: potenzialmente interessata allo sviluppo di memorie rad-hard
 - **ESRF, linea di luce di sincrotrone LISA del CNR**: disponibilità a fornire tempo macchina per i test dell'apparato ed a realizzare degli esperimenti pilota che ne facciano uso

Sorgenti di luce di sincrotrone e FEL

- Le sorgenti di raggi X ai sincrotroni e ai FEL offrono strumenti molto potenti per l'esplorazione della materia
- Sorgenti di luce di sincrotrone
 - molto diffuse, ciascuna dotata di numerose linee sperimentali
 - programmi di upgrade previsti presso molte facility (e.g., ESRF Upgrade Programme)

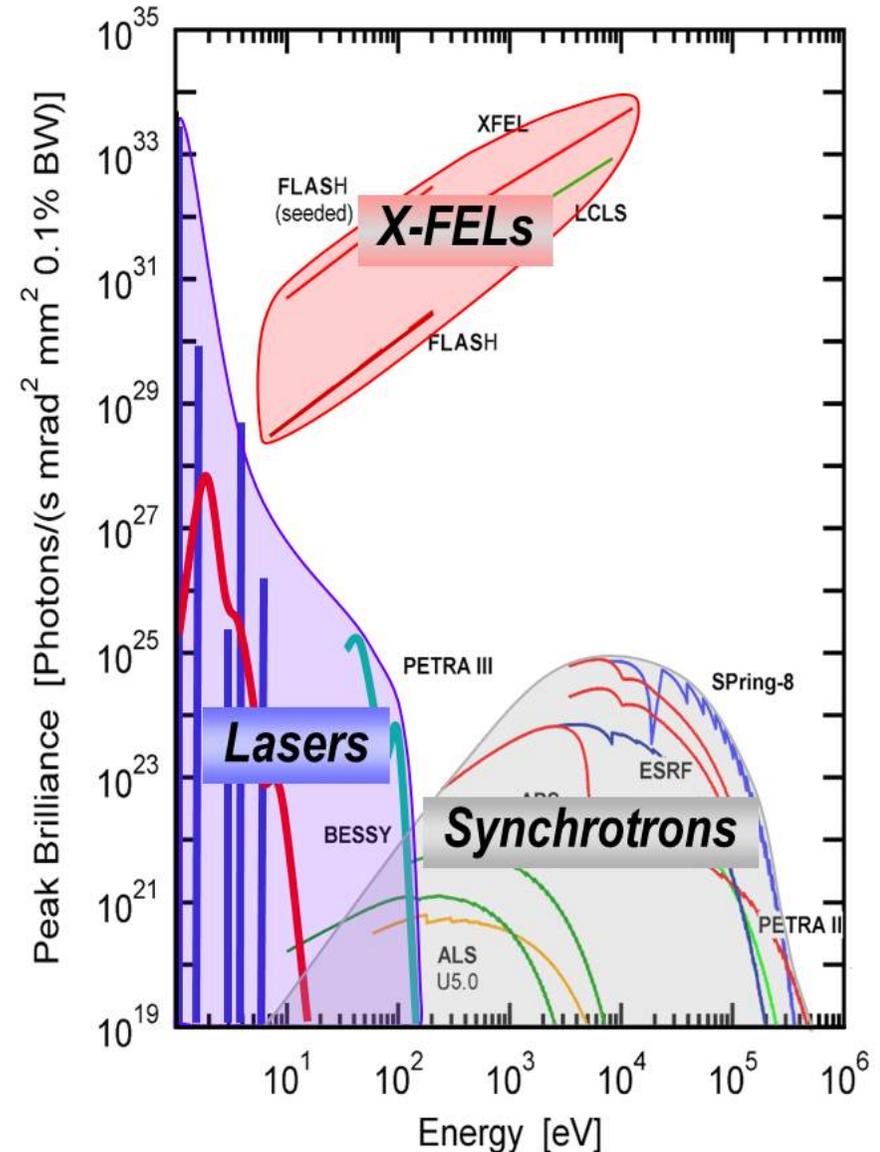


Free electron lasers

- meno diffusi, ma destinati ad aumentare in numero
- fasci estremamente intensi, con brillantezza numerosi ordini di grandezza superiore alle luci di sincrotrone
- impulsi di durata estremamente breve, fino al femtosecondo

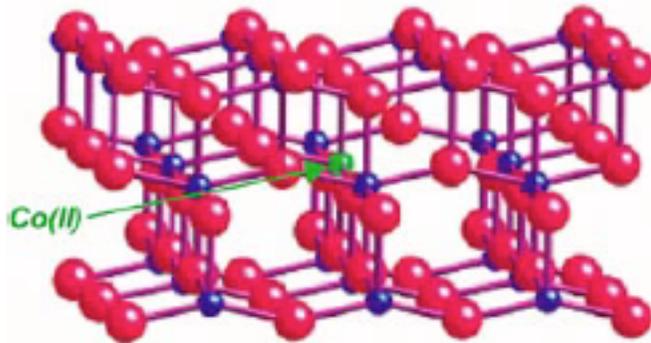
Energia e brillantezza

- Le sorgenti laser tradizionali non sono in grado di fornire fotoni X ad alta energia e, alle basse energie, non possono competere con la brillantezza di picco dei FEL a raggi X
- I FEL offrono brillanze di picco decisamente superiori alle sorgenti di luce di sincrotrone
- Le sorgenti di luce di sincrotrone coprono intervalli di energia più ampi rispetto ai FEL, spingendosi oltre i 100 keV

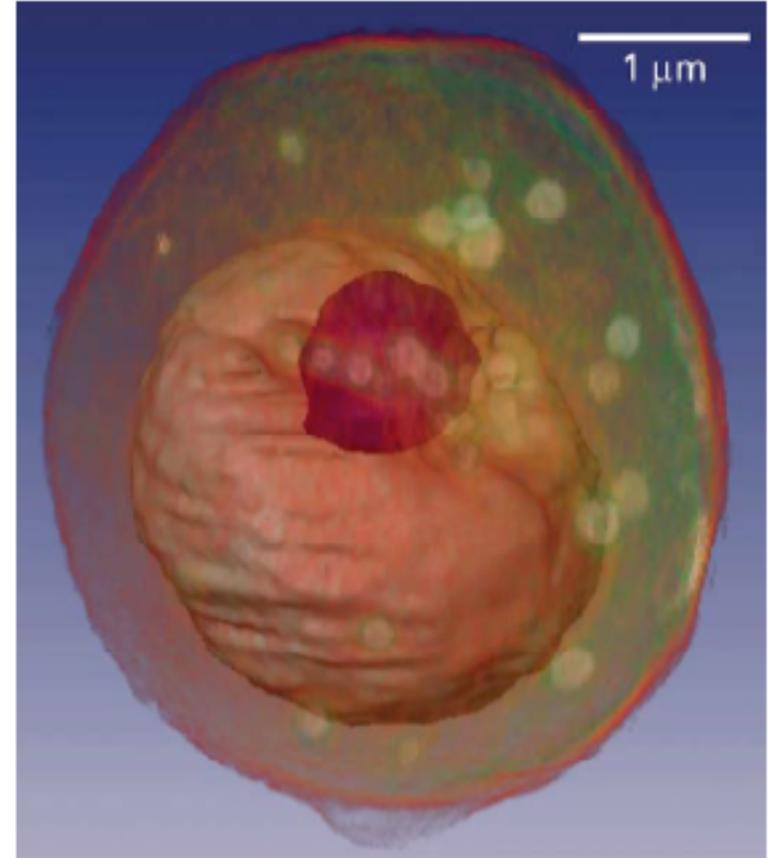


Strumentazione per esperimenti alle sorgenti di raggi X

- Al fine di sfruttare al meglio le caratteristiche delle nuove sorgenti di raggi X, si rende necessario lo sviluppo di nuovi rivelatori, da utilizzare in applicazioni di
 - imaging di raggi X diffratti
 - spettroscopia di emissione di raggi X



Crystal model shows Co(II) (green) substituting for Ti(IV) (blue) in the lattice, with an oxygen (red) vacancy adjacent to the Co(II).



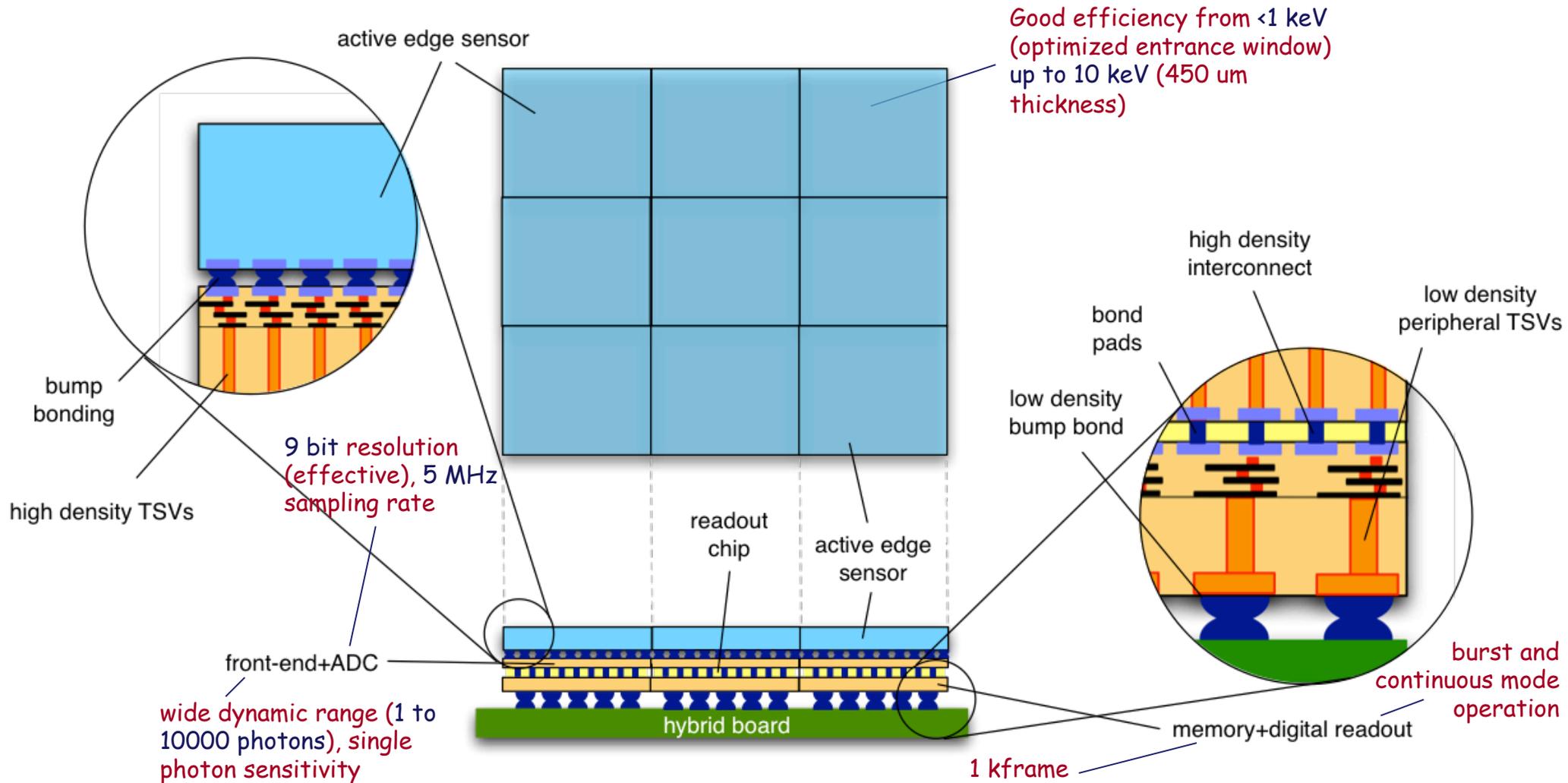
Tomographic reconstruction of Saccharomyces cerevisiae (yeast).

Caratteristiche del rivelatore

- Specifiche preliminari
 - front-end a singolo strato in tecnologia CMOS 65 nm
 - pixel pitch: 100 - 150 μm
 - rate di conversione A/D: $\geq 5\text{MHz}$
 - readout rate estrapolato ad un rivelatore da 1Mpixel: $\geq 20\text{ kHz}$
 - range dinamico in ingresso: $\geq 10^4$ ph
 - range in energia: $250\text{ eV} < E < 50\text{ keV}$ (necessità di esplorare materiali alternativi al silicio, e.g., CdTe)
 - memoria a bordo $\geq 1\text{ kbit/cella}$ (≥ 100 eventi a 10 bit di risoluzione)
 - sensore a pixel a bordo attivo per minimizzazione dell'area morta
 - resistenza a dosi ionizzanti elevate: 100 Grad per il sensore, $\geq 1\text{ Grad}$ per l'elettronica di front-end
- Da approfondire nella fase iniziale del progetto, dedicata alla definizione delle specifiche dello strumento in collaborazione con utenti di luci di sincrotrone e FEL

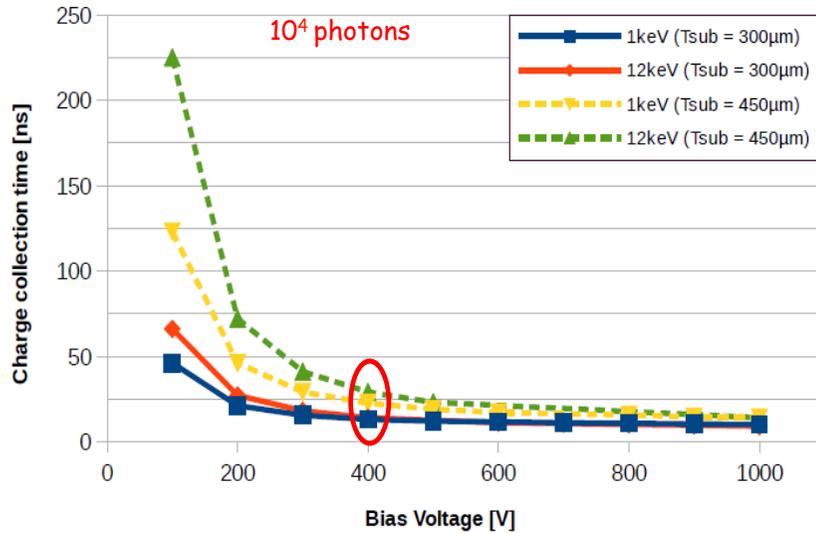
Tecnologie abilitanti per moduli 4-side buttable

- Facilitano la realizzazione di rivelatori di grande area e a minima area morta

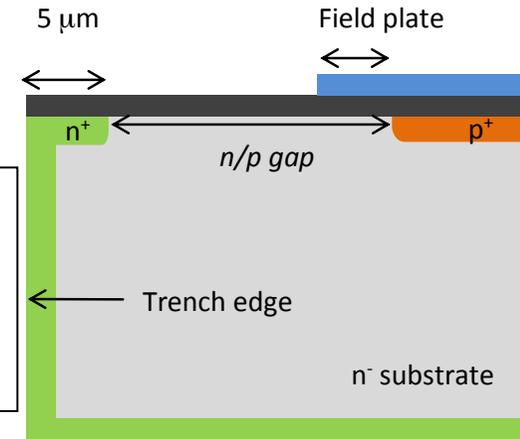


Base di partenza: il progetto PixFEL

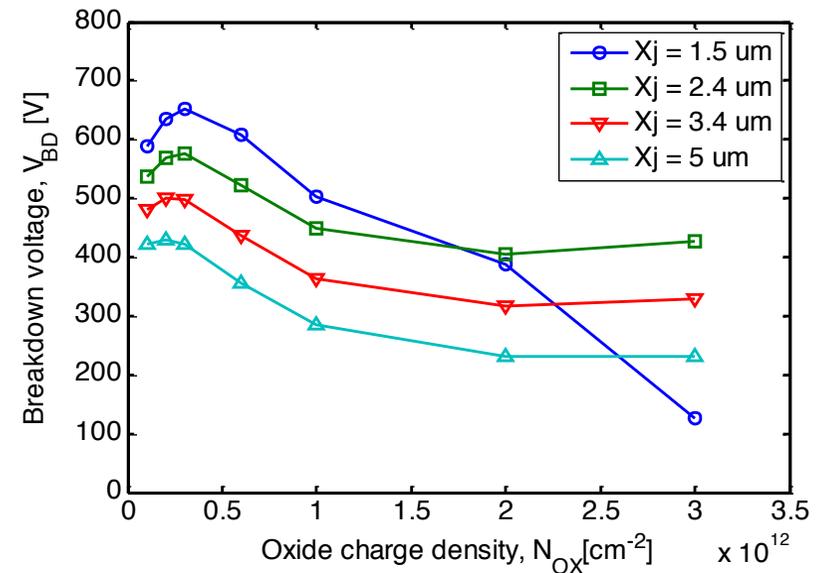
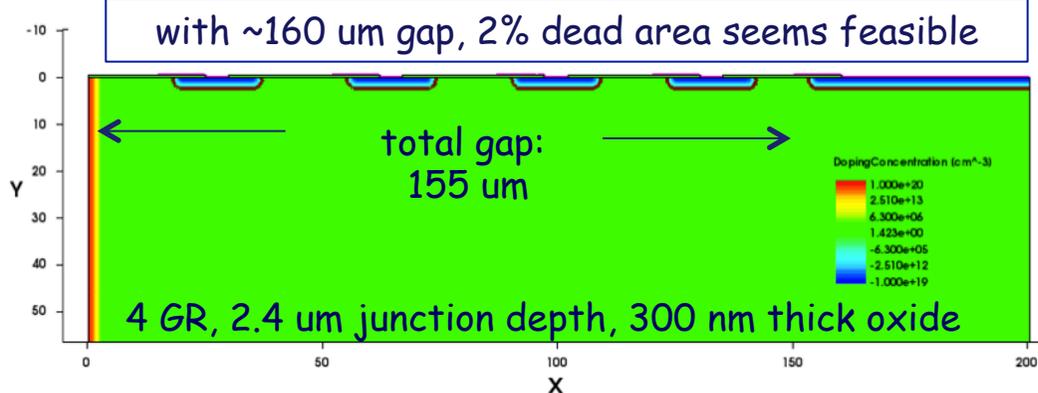
Sensori a bordo sottile/attivo



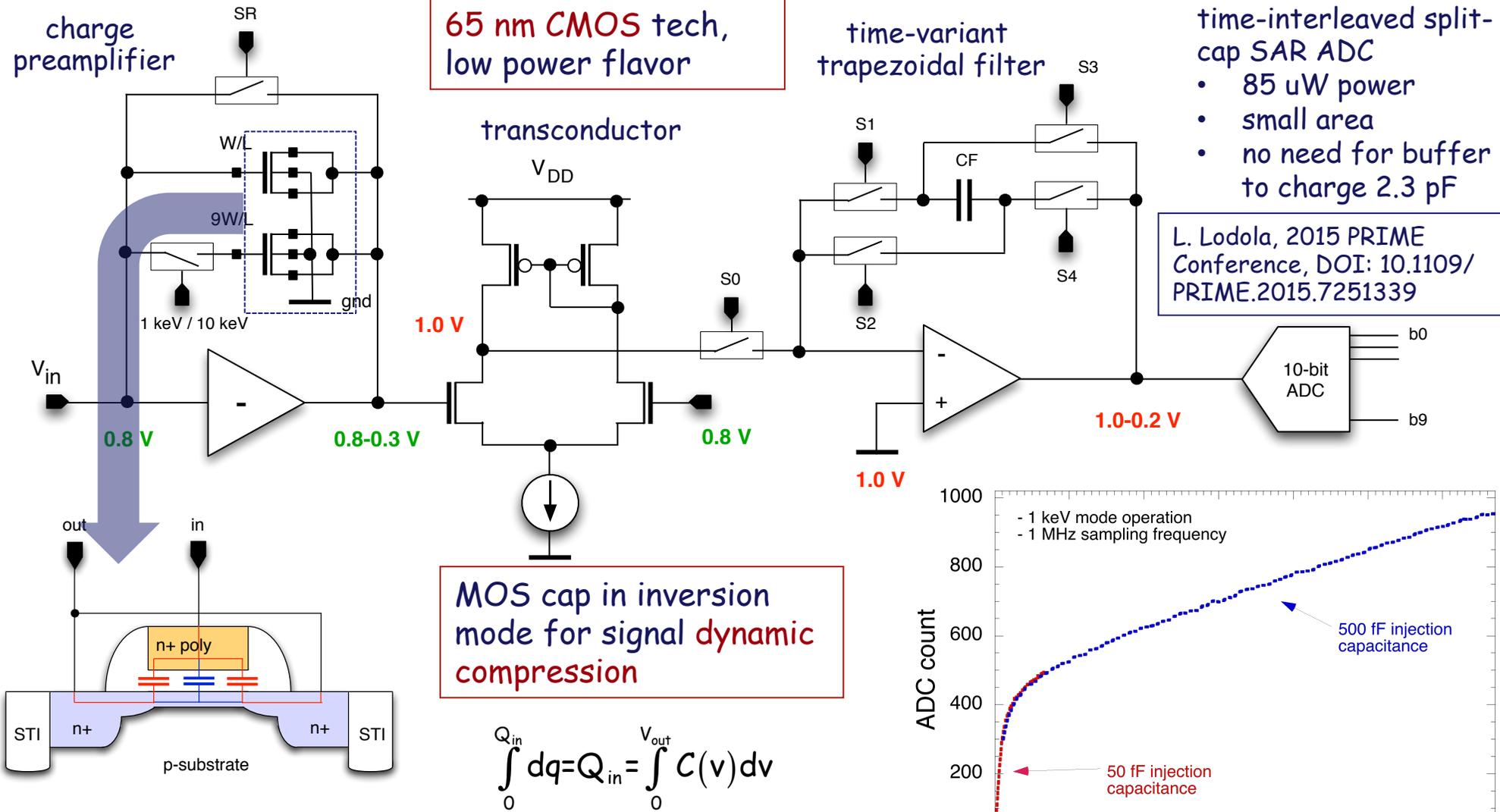
High bias voltage mitigates the plasma effect: with $V_{bias}=400$ V, fast collection time (<30 ns) and small collection distance (<100 μm)



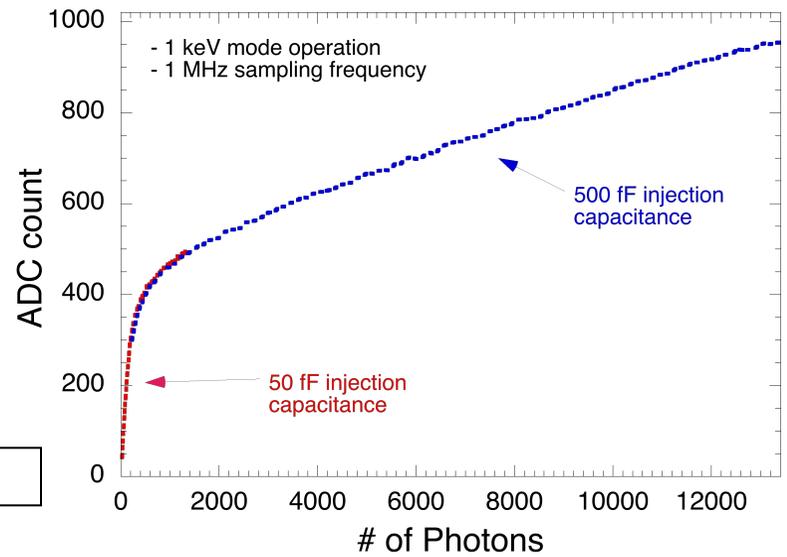
Breakdown voltage >400 V for all the operation lifetime (1 GGy total ionizing dose)



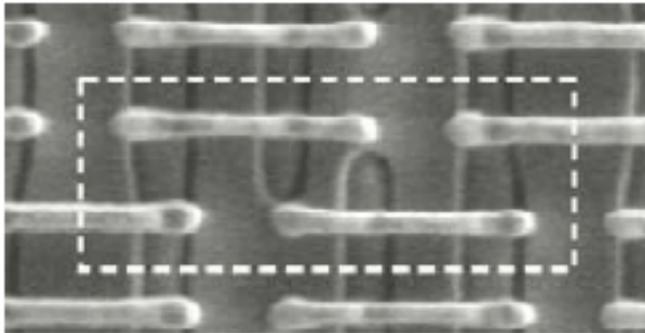
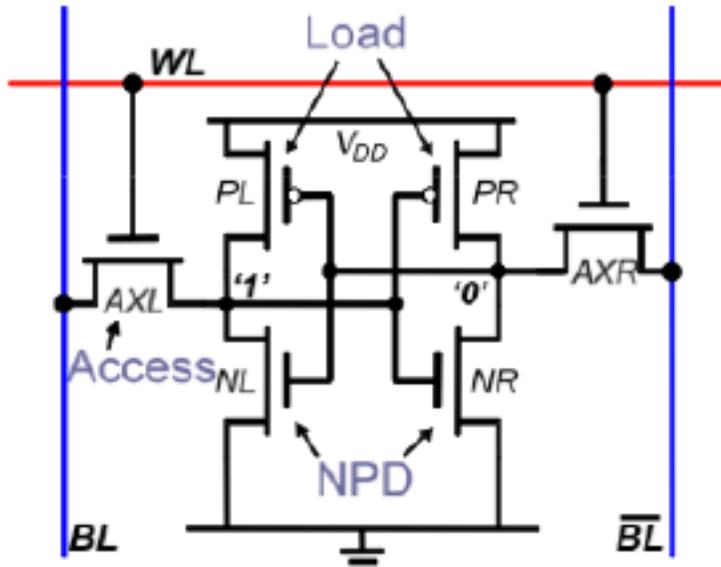
Base di partenza: il progetto PixFEL



M. Manghisoni et al., IEEE TNS vol. 62, no. 5, pp. 2318-2326, Oct 2015



Memorie digitali per il secondo layer di PixFEL



- Di particolare importanza per esperimenti su linee di fascio ad altissimo rate (e.g., presso l'EU-XFEL)
- Sviluppo di memorie digitali (celle, decodifica, ridondanza, readout) in tecnologia CMOS 65 nm e 28 nm
- Studio della tolleranza ad alte dosi ed alti dose rate di radiazione ionizzante → possibili effetti transitori determinati da fotocorrenti (oltre ai classici effetti cumulativi)

Through silicon via periferici

- TSV a bassa densità per connessione tra chip e scheda ibrida

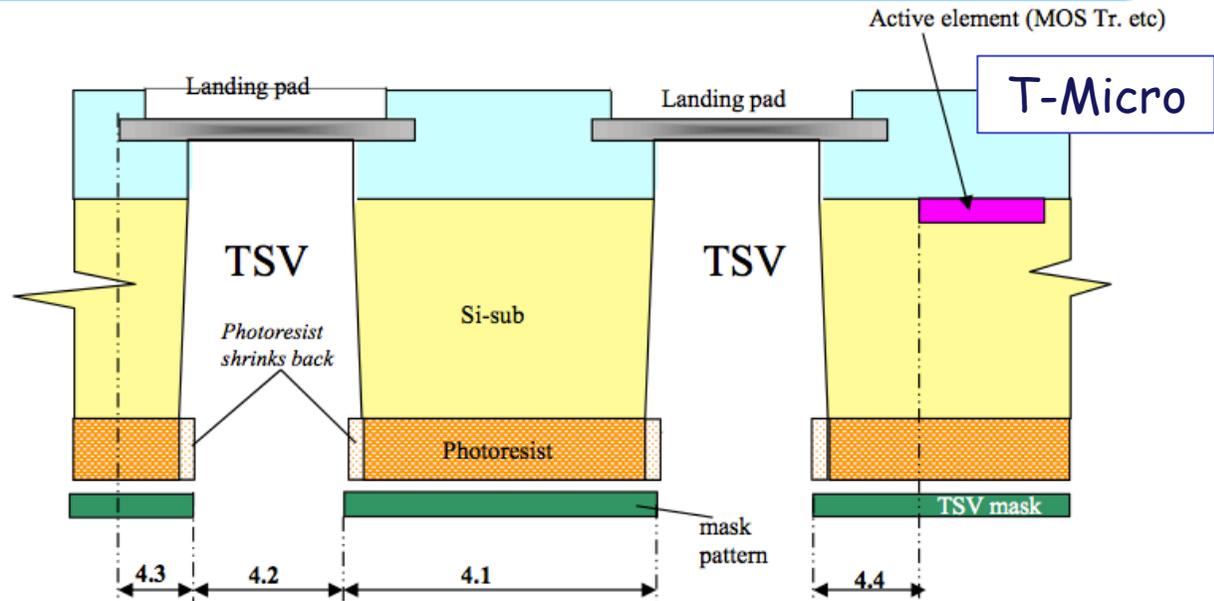
CEA-LETI

Solder bumps DRM & schematic

- Wafer size : 200 & 300 mm
- Solder bumps material : **Cu stud / SnAg solder**
- Minimum pitch : **120 μm**
- Solder pillar diameter : **60-80 μm**
- Solder pillar thickness : **Cu 35-40 μm / SnAg 25-30 μm**

Metal 1
TSV
RDL
Passivation
Cu stud
Solder alloy
Solder bump

- Rimozione del wire bonding, riduzione o eliminazione degli spazi tra moduli e minimizzazione dell'area morta



Work Packages

- **WP1: Applications and Instrument Specifications** (INFN-PV o INFN TO) - dedicato alla definizione delle specifiche dello strumento per imaging di raggi X, in stretta collaborazione con utenti di luci di sincrotrone e FEL partecipanti (Paolo Ghigna a PV, Truccato, Lamberti e Vittone a Torino) e non al progetto
- **WP2: Sensors** (Lucio Pancheri, UNITN e TIFPA) - dedicato allo sviluppo di sensori a bordo sottile (slim edge), ottimizzati sul più ampio intervallo possibile di energie (250 eV - 15 keV) ed all'indagine su materiali ad alto Z per rivelazione di X ad energie > 15 keV
- **WP3: Analog front-end** (Massimo Manghisoni, UNIBG e INFN PV) - dedicato alla progettazione e al test dell'elettronica di elaborazione analogica del segnale ed alla conversione A/D
- **WP4: Memories and vertical integration technologies** (Alessandro Cabrini, UNIPV, deputy Lodovico Ratti, UNIPV e INFN PV) - dedicato allo sviluppo di memorie per front-end a singolo layer ed a doppio layer in tecnologia CMOS 65 nm o più scalata, ed allo studio delle tecnologie di integrazione verticale, finalizzato alla realizzazione di chip di front-end a due strati

Work Packages

- **WP5: Chip integration and digital readout** (Lino Demaria, INFN TO, deputy Daniele Vogrig, UNIPD e INFN PD) - dedicato allo sviluppo di architetture di readout digitali veloci ed efficienti per imager di raggi X, ed all'integrazione di blocchi IP (bandgap reference, DAC, SLVDS driver/receiver, PLLs), front-end analogico e readout in un ASIC programmabile digitalmente e con uscite solo digitali
- **WP6: Rad-hard electronics** (Simone Gerardin, UNIPD e INFN PD) - dedicato allo studio della tolleranza alle radiazioni delle tecnologie CMOS 65 nm e 28 nm, con particolare riguardo all'effetto di dosi e dose rate molto elevati di radiazione ionizzante sulle prestazioni di circuiti logici ed analogici
- **WP7: Testing, system integration and DAQ** (Giuliana Rizzo, UNIPI e INFN PI) - dedicato all'organizzazione e realizzazione dei test in laboratorio su prototipi e dimostratore, all'integrazione di rivelatore e front-end (anche tramite tecnologie basate su thorough silicon via periferici) con il sistema di acquisizione dati ed alla preparazione e realizzazione del test sul fascio ed in un esperimento reale

Attività prevista per il 2017

- Definizione delle specifiche dello strumento, anche sulla base delle necessità degli utenti
- Progetto e produzione di sensori slim/active edge ottimizzati per energie tra 0.25 keV e 15 keV e minima area morta
- Disegno e produzione di un prototipo del front-end analogico - 1 chip mini@sic in tecnologia CMOS 65 nm
- Disegno e produzione di prototipi di IP block: bandgap reference, DAC, SLVDS driver & receiver, monitoring ADC - 1 o 2 mini@sic in tecnologia CMOS 65 nm
- Studio sulle architetture di readout
- Avvio dello studio del sistema di acquisizione dati
- Inizio dei test sul front-end analogico
- Inizio dei test su IP block
- Indagine su TSV periferici e su tecnologie di integrazione verticale (tecnologie offerte da Tohoku-Microtec, CEA-LETI)
- Studio dei problemi legati ad un sistema di acquisizione per modulo multichip

Attività prevista per il 2018

- Proseguimento dei test sul front-end analogico, anche sotto il profilo della radiation hardness
- Proseguimento dei test su IP block, anche sotto il profilo della radiation hardness
- Test dei sensori slim/active edge, anche sotto il profilo della radiation hardness
- Disegno e produzione di un secondo run di sensori
- Disegno e produzione di prototipi di celle di memoria - 1 chip mini@sic in tecnologia CMOS 65 nm
- Disegno e produzione di prototipi di celle di memoria - 1 chip mini@sic in tecnologia CMOS 28 nm
- Disegno e produzione del chip di lettura (area relativamente grande, $\geq 32 \times 32$ celle), programmabile e con uscita completamente digitale, compatibile con la realizzazione di TSV periferici
- Sviluppo del sistema di acquisizione dati per modulo multichip

Attività prevista per il 2019

- Test del chip di front-end
- Test, anche sotto il profilo della radiation hardness, dei prototipi di memoria nelle tecnologie CMOS 65 nm e 28 nm
- Test, anche sotto il profilo della radiation hardness, del second run di sensori
- Realizzazione e test del sistema di acquisizione dati
- Realizzazione di TSV periferici nel chip di front-end
- Interconnessione tra chip di front-end e sensore
- Integrazione di un modulo multichip
- Integrazione del sensore con il sistema di acquisizione dati
- Commissioning del sistema di rivelazione su fascio di raggi X e test in un esperimento reale

Milestones

- 2017
 - definizione delle specifiche per lo strumento
 - progetto di prototipo di front-end analogico
 - progetto di prototipi di blocchi IP
 - progetto di sensori a pixel slim edge ottimizzati per alta efficienza a basse ed alte energie

- 2018
 - progetto di prototipi di memorie digitali
 - progetto di un chip di front-end composto da 32x32 o più celle
 - produzione e test del prototipo di front-end analogico
 - produzione e test dei prototipi di blocchi IP
 - produzione e test dei sensori slim edge

- 2019
 - produzione e test dei prototipi di memorie digitali
 - produzione e test del chip di front-end
 - integrazione di chip e sensore
 - realizzazione e test del sistema multichip integrato con il sistema di acquisizione

Richieste finanziarie per la sezione di Pavia

	2017		2018		2019		Totale
Missioni	Riunioni di collaborazione	2	Riunioni di collaborazione	2	Riunioni di collaborazione	2	
	Meeting tecnici per la definizione delle specifiche e dei designer microelettronici	2	Meeting tecnici dei designer, test congiunti su prototipi, irraggiamenti	2	Test congiunti su prototipi, irraggiamenti	2	
					Test su fascio	5	
	Totale	4	Totale	4	Totale	9	17
Consumo	2 mini@sic CMOS 65 nm	40	2 mini@sic CMOS 65 nm	40	1 run di TSV periferici	100	
	materiale di laboratorio	3	1 mini@sic CMOS 28 nm	28	materiale di laboratorio	3	
			1 chip, array $\geq 32 \times 32$ CMOS 65 nm	150			
			materiale di laboratorio	3			
	Totale	43	Totale	221	Totale	103	367
Personale	1 Persona per 1 anno	28					
	Totale	28	Totale	0	Totale	0	28
	TOTALE	75	TOTALE	225	TOTALE	112	412

Richieste finanziarie globali

	2017		2018		2019		Totale
Missioni	Riunioni di collaborazione, riunioni tecniche per definizione delle specifiche, meeting dei designer microelettronici	25	Riunioni di collaborazione, meeting dei designer microelettronici, trasferte presso altre sedi per test congiunti, irraggiamenti	25	Riunioni di collaborazione, riunioni tecniche per definizione delle specifiche, trasferte presso altre sedi per test congiunti, irraggiamenti, partecipazione a test beam	40	90
Consumo	2 mini@sic CMOS 65 nm, 1 run di sensori slim edge, materiale di laboratorio, manutenzione licenze cliosoft, materiale specifico per allestimento e test DAQ	100	2 mini@sic CMOS 65 nm, 1 mini@sic CMOS 28 nm, 1 run di sensori slim edge, sensori CdTe, 1 chip >=32x32 CMOS 65 nm, materiale di laboratorio, manutenzione licenze cliosoft, materiale specifico per allestimento e test DAQ	280	1 run di TSV periferici, run di interconnessione chip-sensore, run di interconnessione multichip-sensore, materiale di laboratorio, materiale specifico per allestimento DAQ ed integrazione del sistema	210	590
Personale	4 persone anno	112	3 persone anno	84		0	196
	TOTALE	237	TOTALE	389	TOTALE	250	876